

DERWENT-ACC-NO: 1997-378563

DERWENT-WEEK: 199735

COPYRIGHT 2006 DERWENT INFORMATION LTD

TITLE: Hybrid IC - uses anisotropic conductive film to connect bump electrode of flip chip and conductive layer of circuit substrate

----- KWIC -----

Basic Abstract Text - ABTX (1):

The IC has a flip chip (4) and a circuit substrate (5). The circuit substrate has a conductive layer (6). A recess (10) is formed in the conductive layer corresponding to the optical surface of a bump electrode of the flip chip.

Basic Abstract Text - ABTX (2):

The apical surface of the bump electrode is arranged oppositely in the recess. The bump electrode and the conductive layer are connected by an anisotropic conductive film (7).

Basic Abstract Text - ABTX (3):

ADVANTAGE - Reduces resistance value of anisotropic conductive film.

Title - TIX (1):

Hybrid IC - uses anisotropic conductive film to connect bump electrode of flip chip and conductive layer of circuit substrate

Standard Title Terms - TTX (1):

HYBRID IC,ANISOTROPE CONDUCTING FILM CONNECT BUMP ELECTRODE FLIP
CHIP
CONDUCTING LAYER CIRCUIT SUBSTRATE

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-162230

(43)公開日 平成9年(1997)6月20日

(51)IntCl. [°]	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/60 21/603	3 1 1		H 0 1 L 21/60 21/603	3 1 1 Q A

審査請求 未請求 請求項の数2 F D (全 4 頁)

(21)出願番号 特願平7-345137

(22)出願日 平成7年(1995)12月6日

(71)出願人 000204284

太陽誘電株式会社

東京都台東区上野6丁目16番20号

(72)発明者 木村 崇

東京都台東区上野6丁目16番20号 太陽誘
電株式会社内

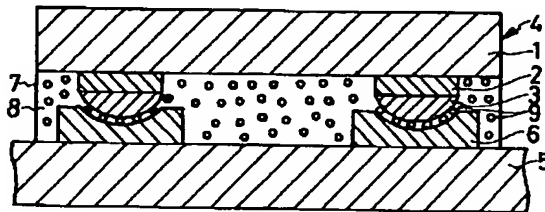
(74)代理人 弁理士 高野 則次

(54)【発明の名称】 電子回路装置及びその製造方法

(57)【要約】

【課題】 異方性導電フィルムを使用した電氣的接続の抵抗値を下げる。

【解決手段】 フリップチップ4を装着するための回路基板5の接続導体層6に凹部10を設ける。この凹部10をフリップチップ4の bumps 電極3の先端面に相似に形成する。 bumps 電極3と接続導体層6との間に異方性導電フィルム7を介在させ、加圧及び加熱することによって両者を接続する。



【特許請求の範囲】

【請求項1】 第1の回路構成部材の突起電極が第2の回路構成部材の導体層に接続された構成の電子回路装置において、

前記導体層に前記突起電極の先端面の形状にほぼ相似の凹部が形成され、前記突起電極の先端面が前記凹部に対向配置され、前記突起電極と前記導体層が異方性導電物体によって接続されていることを特徴とする電子回路装置。

【請求項2】 突起電極を有する第1の回路構成部材を用意する工程と、

前記突起電極を接続するための導体層を有し、この導体層に前記突起電極の先端面にほぼ相似の凹部が形成されている第2の回路構成部材を用意する工程と、
前記突起電極と前記導体層とを異方性導電物体によって接続する工程とを有することを特徴とする電子回路装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、フリップチップを回路基板にフェースダウンボンディングした構造の混成集積回路等の電子回路装置及びその製造方法に関する。

【0002】

【従来の技術】半導体チップを回路基板に装着する方法としてフェースダウンボンディング方法が知られている。フェースダウンボンディングの代表的な方法では、半導体チップに半田突起電極（バンパ電極）を予め設け、半導体チップの半田突起電極を有する面を回路基板に対向させて半田突起電極を回路基板の導体層に半田付けする。しかし、半田付けによるフェースダウンボンディングによって高密度化に対処することは困難である。高密度化を可能にする方法として半田の代りに異方性導電接着剤を使用してフリップチップをフェースダウンボンディングする方法がある。異方性導電性接着剤は、熱可塑性樹脂に導電粒子（金属粒子）を均一に分散させたものであって、フィルム状のものとペースト状のものと2種類がある。例えば異方性導電フィルムを使用してフリップチップをフェースダウンボンディングする時には、図1に示すように半導体基板1に金属端子導体層2を設け、この金属端子導体層2にメッキによってバンパ電極（突起電極）3を設けたフリップチップ4を用意すると共に、セラミック等の絶縁性回路基板5に接続導体層6を設けたものを用意する。次にバンパ電極3と接続導体層6との間に異方性導電フィルム7を配置し、フリップチップ4の上面を回路基板5に向かって加圧すると共に加熱する。異方性導電フィルム7は熱可塑性樹脂8とNi等の導電粒子9とから成るので、これがバンパ電極3と接続導体層6との間で加圧および加熱されると、樹脂8の流動が生じ、導電粒子9がバンパ電極3と接続導体層6との間に残存し、両者間が電気的に接続される。バン

パ電極3と接続導体層6の間以外の部分では導電粒子9の相互間が樹脂8で絶縁された状態にあるので、この部分で電気的接続は成立しない。これによりバンパ電極3のみの接続が達成される。

【0003】

【発明が解決しようとする課題】ところで、量産性を考慮して金（Au）メッキでバンパ電極3を形成した場合にはバンパ電極3の先端面即ち頂面が球面又はこれに近い状態となる。この結果、異方性導電フィルムがバンパ電極3で加圧及び加熱された時に導電粒子9がバンパ電極3の下から逃げる現象が生じ、バンパ電極3と接続導体層6との間に十分な数の導電粒子9が残存しないことがある。このような場合にはバンパ電極3と接続導体層6とを低抵抗接続することが不可能になる。今、異方性導電フィルムを使用した場合について述べたが異方性導電ペーストを使用する場合にも同様な問題がある。また、フリップチップ4の回路基板5に対する実装に限らず、一方の回路基板のバンパ電極と他方の回路基板の接続導体層とを電気的に接続する場合にも同様な問題がある。

【0004】そこで、本発明の目的は第1の回路構成部材の突起電極と第2の回路構成部材の導体層とが低抵抗接続された電子回路装置及びその製造方法を提供することにある。

【0005】上記目的を達成するための装置の発明は、第1の回路構成部材の突起電極が第2の回路構成部材の導体層に接続された構成の電子回路装置において、前記導体層に前記突起電極の先端面の形状にほぼ相似の凹部が形成され、前記突起電極の先端面が前記凹部に対向配置され、前記突起電極と前記導体層が異方性導電物体によって接続されていることを特徴とする電子回路装置に係わるものである。上記目的を達成するための方法の発明は、突起電極を有する第1の回路構成部材を用意する工程と、前記突起電極を接続するための導体層を有し、この導体層に前記突起電極の先端面にほぼ相似の凹部が形成されている第2の回路構成部材を用意する工程と、前記突起電極と前記導体層とを異方性導電物体によって接続する工程とを有することを特徴とする電子回路装置の製造方法に係わるものである。

【0006】

【発明の作用及び効果】各請求項の発明によれば、突起電極がこれと相似の凹部を有する導体層に異方性導電物体によって結合される。これにより、突起電極が導体層に正確且つ安定的に位置決めされるのみでなく、両者間の広い面積にわたって均一な間隙が生じ、この間隙に異方性導電物体の導電粒子が安定的に配置される。この結果、突起電極と導体層との間を低抵抗接続することができる。

【0007】

【実施例】次に、図2～図4を参照して本発明の実施例

3

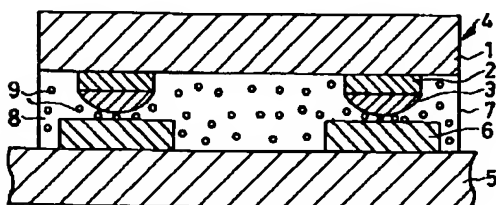
に係わるフリップチップを含む電子回路装置（混成集積回路装置）及びその製造方法を説明する。

【0008】まず、図2に示す第1の回路部材としてのフリップチップ4を用意する。フリップチップは、図1と同様に半導体基板1と端子導体層2とバンパ電極（突起電極）3とから成る。半導体基板1はトランジスタ又はIC等を形成するための周知の半導体領域及び絶縁膜等を含むが、説明を簡単にするためにこれ等の図示が省略されている。端子導体層2は $100\mu\text{m} \times 100\mu\text{m}$ の平面形状が正方向のパターンを有し、金（Au）で形成されている。バンパ電極3を設ける前の半導体基板1と端子導体層2とから成るものは一般に半導体ベアチップと呼ばれているものである。バンパ電極3は金メッキによって形成されている。金メッキでバンパ電極3を形成すると、バンパ電極3の先端面が球面状又は突出曲面状に成る。バンパ電極3の寸法を例示すると、平面形状は $100\mu\text{m} \times 100\mu\text{m}$ の正方形であり、中央の高さは約 $10\mu\text{m}$ である。端子導体層2の厚さが $20\mu\text{m}$ であるので、端子導体層2とバンパ電極3とを合せた突出電極の中央の高さは $30\mu\text{m}$ である。

【0009】セラミックから成る絶縁性回路基板5上の導体層6は金から成り、この厚さ約 $20\mu\text{m}$ である。この導体層6の上には $120\mu\text{m} \times 120\mu\text{m}$ の凹部10が形成されている。凹部10はバンパ電極3の先端面にほぼ相似の表面を有する。なお、ワイヤーボンダーのキャピラリの代りにバンパ電極3に相似の先端面を有するヘッドを取り付け、このヘッドをワイヤーボンダーで接続導体層6を押し当てることによって凹部10を形成した。

【0010】次に、回路基板5の接続導体層6とフリップチップ4のバンパ電極3との間に異方性導電物体としての異方性導電フィルム7を配置し、フリップチップ4の上面を回路基板5に向かって加圧すると共に約 160°C で10秒間加熱しバンパ電極3を接続導体層6に導電粒子9によって電気的に接続した。この時、接続導体層6には凹部10が形成されているためにバンパ電極3と凹部10との間の導電粒子9が凹部10から逃げ難くなり、多くの導電粒子9によって両者が低抵抗接続されている。なお、異方性導電フィルム7の熱可塑性樹脂8は接着剤として機能し、回路基板5にフリップチップ4を機械的に固着する。

【図1】



4

【0011】上述から明らかなように凹部10の働きによってバンパ電極3と接続導体層6の間に多くの導電粒子9を配置することが可能になり、従来よりも約30%低い抵抗値で両者を接続することができる。また、バンパ電極3の先端面を平坦面に形成することが不要であるので、ホトエッチング法等の複雑な工程でバンパ電極3を形成しないで、メッキ法によって容易に形成することが可能になる。また接続導体層6の凹部10はバンパ電極3を位置決めし且つ安定的に保持する働きも有する。

10 【0012】

【変形例】本発明は上述の実施例に限定されるものでなく、例えば次の変形が可能なるものである。

(1) 第1の回路構成部材が回路基板5であり、第2の回路構成部材が半導体チップであってもよい。この場合には、例えば回路基板5の接続導体層6の上にバンパ電極を設け半導体チップの端子導体層に凹部10に相当するものを設ける。また、第1及び第2の回路構成部材の両方が回路基板の場合にも本発明を適用することができる。

20 (2) 異方性導電物体として異方性導電ペーストを接続導体層6の凹部10とバンパ電極3との間に介在させて両者を接続することもできる。

(3) バンパ電極3を半球状にすることができる。

【図面の簡単な説明】

【図1】従来の異方性導電フィルムを使用したフリップチップの回路基板に対する装着を原理的に示す断面図である。

【図2】本発明の実施例に係わるフリップチップを示す断面図である。

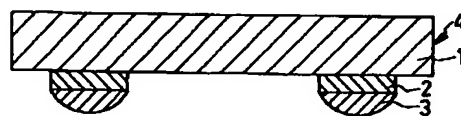
30 【図3】本発明の実施例の接続導体層を有する回路基板を示す断面図である。

【図4】図3の回路基板に図2のフリップチップを異方性導電フィルムで実装した状態を示す断面図である。

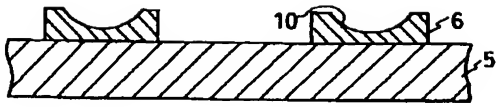
【符号の説明】

- 3 バンパ電極
- 4 フリップチップ
- 5 回路基板
- 6 接続導体層
- 7 異方性導電フィルム
- 9 導電粒子
- 10 凹部

【図2】



【図3】



【図4】

